

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-324965

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2000-144973

(71)Applicant : ADVANCED DISPLAY INC

(22)Date of filing : 17.05.2000

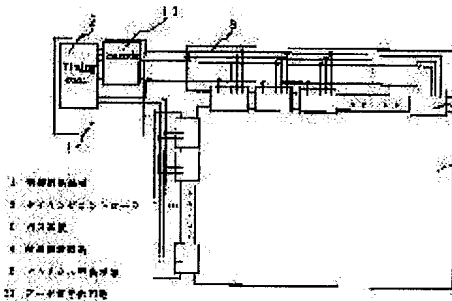
(72)Inventor : NISHIMURA MASARU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of the conventional liquid crystal display device that, in the case picture data are transmitted in parallel, radiation from signal lines are radiation from a power source and the ground due to simultaneous changes become larger and hence the EMI(electromagnetic interference) becomes a problem.

SOLUTION: In transmitting picture data in parallel from the timing controller 2 arranged in a control substrate 1 via a prescribed number of signal lines on a bus substrate 3, the picture data are encoded with a data encoding 11 so that simultaneous changes to the same polarity of the picture data which are transmitted in parallel become smaller and, on the other hand, the picture data encoded by incorporating data decoding circuits 12 into liquid crystal driving circuits 4 for generating driving signals for driving a matrix type display part 5 from the picture data are decoded and the driving signals are generated by using the decoded picture data.



LEGAL STATUS

[Date of request for examination]

14.07.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-324965

(P2001-324965A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|---------------------------|-------|---------------|-------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 3 |
| G 0 2 F 1/133 | 5 0 5 | G 0 2 F 1/133 | 5 0 5 5 C 0 0 6 |
| G 0 9 G 3/20 | 6 1 1 | G 0 9 G 3/20 | 6 1 1 C 5 C 0 8 0 |
| | 6 2 3 | | 6 2 3 V |
| | 6 3 2 | | 6 3 2 A |

審査請求 未請求 請求項の数12 O L (全 8 頁)

(21) 出願番号 特願2000-144973(P2000-144973)

(22) 出願日 平成12年5月17日 (2000. 5. 17)

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(72) 発明者 西村 優

熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

(74) 代理人 100073759

弁理士 大岩 増雄

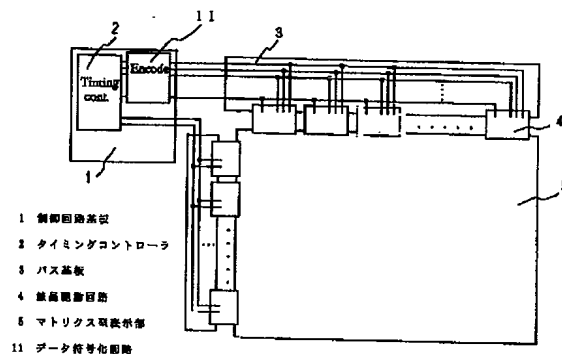
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 従来の液晶表示装置では、画像データがパラレルに伝送された場合、信号線からの放射や同時変化による電源、グランドからの放射が多くなり、EMIが問題となる。

【解決手段】 制御回路基板1に配置されたタイミングコントローラ2から画像データをバス基板3の所定本数の信号線を介してパラレルに伝送するに当たり、パラレルに伝送される画像データの同一極性への同時変化が少なくなるように、データ符号化回路11によって画像データを符号化し、一方この画像データからマトリクス型表示部5を駆動する駆動信号を生成する液晶駆動回路4にデータ復号化回路12を内蔵して符号化された画像データを復号化し、復号化された画像データを用いて、駆動信号を生成するようにしている。



【特許請求の範囲】

【請求項1】 画像データを符号化する符号化回路、この符号化回路によって符号化された画像データを複数の信号線を介して伝送する制御回路、この制御回路によって伝送される画像データを復号化すると共に、復号化された画像データに基づき駆動信号を出力する液晶駆動回路、この液晶駆動回路の出力する駆動信号により画像を表示する表示部を備えたことを特徴とする液晶表示装置。

【請求項2】 符号化回路は、画像データの第一の極性から第二の極性への同時変化が少なくなるように構成されたことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 伝送される画像データは、所定時間毎にブロックに分割されると共に、上記分割されたブロック毎に同時変化が少なくなるように符号化されることを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項4】 伝送される画像データは、同一時点で過半数の画像データが同時変化しないように符号化されることを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項5】 符号化回路は、複数に分割されると共に、分割された各符号化回路に対応して、画像データを伝送する信号線が分割されていることを特徴とする請求項1～請求項4のいずれか一項記載の液晶表示装置。

【請求項6】 符号化回路は、画像データの奇数列及び偶数列に対応するように分割されていることを特徴とする請求項5記載の液晶表示装置。

【請求項7】 符号化回路は、画像データのR、G、Bの各色に対応するように分割されていることを特徴とする請求項5または請求項6記載の液晶表示装置。

【請求項8】 液晶駆動回路の復号化する機能は、符号化回路に対応して分割されていることを特徴とする請求項5～請求項7のいずれか一項記載の液晶表示装置。

【請求項9】 符号化回路は、演算方法の異なる複数の符号化器を有し、上記複数の符号化器が切り替えて用いられるように構成されていることを特徴とする請求項1～請求項8のいずれか一項記載の液晶表示装置。

【請求項10】 制御回路は、符号化回路と共に制御回路基板上に配置されることを特徴とする請求項1～請求項9のいずれか一項記載の液晶表示装置。

【請求項11】 符号化回路は、制御回路を構成する半導体集積回路に内蔵されていることを特徴とする請求項1～請求項10のいずれか一項記載の液晶表示装置。

【請求項12】 符号化回路は、外付けされていることを特徴とする請求項1～請求項9のいずれか一項記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンピュータの表示画面などに用いられる液晶表示装置に関するもので

ある。

【0002】

【従来の技術】図10は、従来の液晶表示装置を示す概略構成図である。図10において、1は制御回路基板、2は制御回路基板1の映像データ及び制御信号を供給するタイミングコントローラ、3はタイミングコントローラ2の供給する信号を伝送するバス基板、4はバス基板3を介してタイミングコントローラ2の供給する信号を受信し、表示部の各画素に対応した信号を供給する液晶駆動回路、5は液晶駆動回路4によって駆動されるマトリクス型表示部である。高解像度や多階調の液晶表示装置を実現するためには、多くの映像データを高速に液晶駆動回路に伝送する必要がある。従来は、図10に示すように、複数の映像データが、パラレルに制御回路基板1のタイミングコントローラ2からバス基板3を介して、液晶駆動回路4に供給され、この液晶駆動回路4内で、各画素に対応したデータをラッチして、マトリクス型表示部5に信号を供給している。例えば、64階調の液晶表示装置の場合、R（赤）、G（緑）、B（青）各6ビット18本のデータを、パラレルに配線し、伝送している。また、XGAなどの高解像度の液晶表示装置では、映像データ量が多く、信号が高速になるため、奇数列と偶数列に分け、さらにそれらをパラレル伝送するものもある。この場合、64階調を出すには、36本のデータをパラレルに配線し伝送している。

【0003】図11は、従来の液晶表示装置の液晶駆動回路を示す概略構成図である。図11において、4は液晶駆動回路、6はシフトレジスタ、7はラッチ回路とデータレジスタにより構成されるラッチ／データレジスタ、8はレベルシフタ、9はD/Aコンバータと出力バッファから構成されるD/Aコンバータ／出力バッファであり、6～9で液晶駆動回路4を構成している。液晶駆動回路4にパラレルに入力された複数のデータは、シフトレジスタ6で所定のラインに振り分けられ、ラッチ回路でラッチされ、データレジスタにデータが書き込まれる。このデータに基づいてレベルシフタ8、D/Aコンバータ、出力バッファを介して、マトリクス型表示部5に出力される。

【0004】

【発明が解決しようとする課題】多くのデータがパラレルに伝送された場合、信号線からの放射（不要輻射）や同時変化による電源、グランドからの放射が多くなり、EMI（Electromagnetic Interference）が問題となる。このため、放射を低減するためにタイミングコントローラ2から複数のデータ信号を異なる位相で出力することが考えられるが、データの位相マージンが減少し、セットアップタイムやホールドタイムを確保できなくなる。

【0005】この発明は、上記のような課題を解決するためになされたもので、全てのデータに対して位相マ-

ジンを十分確保でき、信号線や電源、グランドからの放射を低減することができる液晶表示装置を得ることを目的としている。

【0006】

【課題を解決するための手段】この発明に係わる液晶表示装置においては、画像データを符号化する符号化回路と、この符号化回路によって符号化された画像データを複数の信号線を介して伝送する制御回路と、この制御回路によって伝送される画像データを復号化すると共に、復号化された画像データに基づき駆動信号を出力する液晶駆動回路と、この液晶駆動回路の出力する駆動信号により画像を表示する表示部を備えたものである。また、符号化回路は、画像データの第一の極性から第二の極性への同時変化が少なくなるように構成されたものである。

【0007】また、伝送される画像データは、所定時間毎にブロックに分割されると共に、分割されたブロック毎に同時変化が少なくなるように符号化されるものである。さらに、伝送される画像データは、同一時点で過半数の画像データが同時変化しないように符号化されるものである。

【0008】また、符号化回路は、複数の分割されると共に、分割された各符号化回路に対応して、画像データを伝送する信号線が分割されているものである。また、符号化回路は、画像データの奇数列及び偶数列に対応するように分割されているものである。

【0009】さらにまた、符号化回路は、画像データのR、G、Bの各色に対応するように分割されているものである。また、液晶駆動回路の復号化する機能は、符号化回路に対応して分割されているものである。

【0010】また、符号化回路は、演算方法の異なる複数の符号化器を有し、複数の符号化器が切り替えて用いられるように構成されているものである。加えて、制御回路は、符号化回路と共に制御回路基板上に配置されるものである。

【0011】また、符号化回路は、制御回路を構成する半導体集積回路に内蔵されているものである。また、符号化回路は、外付けされているものである。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について図を用いて説明する。

実施の形態1. 図1は、この発明の実施の形態1による液晶表示装置を示す概略構成図である。図1において、1は制御回路基板、2は制御回路基板1の映像データ及び制御信号を供給する制御回路であるタイミングコントローラ、3はタイミングコントローラ2の供給する画像データ信号を並列に伝送するよう所定本数の信号線が配置されているバス基板、4はバス基板3を介してタイミングコントローラ2の供給する信号を受信し、表示部の各画素に対応した信号を供給する液晶駆動回路、5は液

晶駆動回路4によって駆動されるマトリクス型表示部である。11は制御回路基板1に設けられ、液晶駆動回路4に供給するデータを符号化して、バス基板3を介して液晶駆動回路4に伝送するデータ符号化回路である。図2は、この発明の実施の形態1による液晶表示装置の液晶駆動回路を示す概略図である。図2において、4は液晶駆動回路、6はシフトレジスタ、7はラッチ回路とデータレジスタにより構成されるラッチ/データレジスタ、8はレベルシフタ、9はD/Aコンバータと出力バッファから構成されるD/Aコンバータ/出力バッファである。12は符号化されて伝送されてくるデータを復号化する復号化回路（復号化機能）であり、復号化したデータをシフトレジスタ6に供給する。6～9、12は液晶駆動回路4を構成している。

【0013】次に、動作について説明する。実施の形態1の液晶表示装置では、従来装置と同様に、複数の映像データ信号が、パラレルにタイミングコントローラ2からバス基板3を介して液晶駆動回路4に供給される。液晶駆動回路4の動作も基本的には、従来装置と同様であり、パラレルに入力された複数のデータは、シフトレジスタ6で所定のラインに振り分けられ、ラッチ回路でラッチされ、データレジスタにデータが書き込まれる。このデータに基づいてレベルシフタ8、D/Aコンバータ、出力バッファを介して、マトリクス型表示部5を駆動する駆動信号が出力される。

【0014】実施の形態1では、制御回路基板1に、データ符号化回路11を設けたことが特徴であり、例えば、データの第一の極性から第二の極性への同時変化が少なくなるように、データを符号化し、バス基板3を介してデータを液晶駆動回路4に伝送するようにしている。また、液晶駆動回路4には、図2のように、復号化回路12があり、データ符号化回路11によって符号化されたデータを、元のデータに戻して、マトリクス型表示部5にデータを出力する。なお、図1では、データ符号化回路11を、制御回路基板1のタイミングコントローラ2の後段に配した例を示したが、データ符号化回路11を、タイミングコントローラ2の前段に配してもよい。

【0015】また、データ符号化回路11は、液晶表示装置に入力する信号を供給するPC（パーソナルコンピュータ）やモニタ側の回路に設けても良い。データ符号化回路11で、複数のデータがある規則に従って符号化する。符号化することにより、複数のデータは位相マージンを確保したり、同時変化数を減らすなど、複数のデータを伝送する伝送経路に適した形態で、データを伝送でき、液晶駆動回路4の復号化回路12で、元のデータに戻すことができる。

【0016】実施の形態1によれば、データ送信側にデータ符号化回路11を設け、液晶駆動回路4に復号化機能を持たせたことにより、多くのデータがパラレル伝送

される場合のデータの位相マージンを確保しつつ、データの同時変化を減らし、信号線からの不要輻射や電源、グランドからの放射を低減することができる。

【0017】実施の形態2. 図3は、この発明の実施の形態2による液晶表示装置の信号例を示す概略図である。図4は、この発明の実施の形態2による液晶表示装置の別の信号例を示す概略図である。なお、実施の形態2の構成は、図1と図2に示すものと同一のものであり、実施の形態2は、図1と図2を援用して説明する。

【0018】実施の形態2のデータ符号化回路11では、例えば、図3に示すように、複数のデータをある単位で時分割し、その分割ブロックの中での同時変化数をカウントし、同一極性に変化するデータ数が少なくなるようブロック単位でデータを反転させる。この時、ブロックのデータが反転しているかどうかを示すフラグを立てる。図3では、簡単に説明するため、データを3種類（データA、データB、データC）について示している。データを時間軸で5個を1ブロックに分け、そのブロックの中でデータの同一極性に変化するところが2個以上（図中X、Y）ある場合、これを最少にするようデータを反転させる。反転させたデータにはフラグを立てる（ここでは1）。このようにすることで、復号化前に10箇所あった同一極性の変化箇所が、3箇所に減っている。復号化回路12では、このフラグをもとに、データを再度反転させ、もとのデータに戻す。

【0019】次に、図4について説明する。図4は、データ符号化回路11により、フラグを別のデータ線に設け、時間軸上の同一位置すなわち同一時点でのデータ極性反転数が、過半数を超えた場合、過半数を超えないようにデータを反転させ、フラグを立てる。復号化回路12では、フラグに従いデータを再度反転させ、もとのデータに戻す。

【0020】実施の形態2によれば、入力データに対応して、出力する複数データの同時変化数が少なくなるように、入力データを変換するとともに、変換したことを示すフラグを付加して出力するデータ符号化機能を持つデータ符号化回路と、液晶駆動回路内でデータに付加されたフラグに従って、入力された複数データを元のデータに戻す復号化機能を持つ液晶駆動回路を有することにより、多くのデータがパラレル伝送される場合のデータの同時変化を減らすことができ、信号線からの不要輻射や電源、グランドからの放射を低減することができる。

【0021】実施の形態3. 図5は、この発明の実施の形態3による液晶表示装置のデータ符号化回路及び復号化回路を示す概略図である。図5において、11はデータを符号化するデータ符号化回路であり、2つに分割されている。12は符号化されたデータを復号化する復号化回路であり、2つに分割されている。

【0022】実際の液晶表示装置では、例えば64階調の場合、データがR、G、B各6ビットの18個ある。

また、高解像度の液晶表示装置では、周波数帯域が広いため、データを分割し、分周する場合がある。例えば、表示列の偶数列と奇数列の2つにデータを分割した場合、データ数は36個となる。このように、実際のデータ数が多いため、同時変化数を判定し削減することを効率よく行うため、データを複数に分割し、分割したデータ単位で同時変化数の判定と削減を行う。実施の形態3では、このため、データ符号化回路11と復号化回路12を二つに分割している。

【0023】実施の形態3によれば、複数のデータを複数ブロックに分割し、各ブロック毎にデータの符号化及び復号化を行うことにより、データの同時変化数をさらに削減できるため、多くのデータがパラレル伝送される場合のデータの同時変化をより減らすことができ、信号線からの不要輻射や電源、グランドからの放射をより低減することができる。

【0024】実施の形態4. 図6は、この発明の実施の形態4による液晶表示装置のデータ符号化回路及び復号化回路を示す概略図である。図6において、11はデータを符号化するデータ符号化回路で、偶数列と奇数列でデータを二分割して符号化するよう二つに分けられている。12は符号化されたデータを復号化する復号化回路であり、偶数列と奇数列のデータを復号化するよう二分割されている。実際の液晶表示装置では、表示される画面の近傍のデータが似ている場合が多く、偶数列と奇数列でデータを二分割することで、効率よく同時変化数を判定し削減することができる。

【0025】実施の形態4によれば、複数のデータを表示列の奇数列及び偶数列に分割し、分割したデータ毎にデータの符号化及び復号化することにより、データの変化が比較的同時に発生するブロック毎に符号化し、多くのデータがパラレル伝送される場合のデータの同時変化をさらに低減することができ、信号線からの不要輻射や同時スイッチングによる電源、グランドからの放射をさらに低減することができる。

【0026】実施の形態5. 図7は、この発明の実施の形態5による液晶表示装置のデータ符号化回路及び復号化回路を示す概略図である。図7において、11はデータを符号化するデータ符号化回路で、R、G、Bの各色毎に符号化するよう三分割されている。12は符号化されたデータを復号化する復号化回路で、R、G、B毎に復号化するよう三分割されている。液晶表示装置は、1列毎にR、G、B3色のデータで構成されている。このため、データをR、G、Bの各色に分割して符号化及び復号化することで、さらに効率よく同時変化数を判定し削減することができる。

【0027】実施の形態5によれば、複数のデータをR、G、Bの色データに分割し、分割したデータ毎にデータの符号化及び復号化することにより、データの変化が比較的同時に発生するブロック毎に符号化し、多くの

データがパラレル伝送される場合のデータの同時変化をよりさらに減らすことができ、信号線からの不要輻射や同時スイッチングによる電源、グランドからの放射をよりさらに低減することができる。

【0028】実施の形態6. 図8は、この発明の実施の形態6による液晶表示装置のデータ符号化回路を示す概略図である。図8において、11はデータを符号化するデータ符号化回路である。13、14はそれぞれ演算方法が異なる符号化器である。15、16は、符号化器13、14を切換えて用いるよう、符号化器13、14の前段及び後段に配置されたセクタである。

【0029】実施の形態6は、複数のデータの状況、例えば8ビットのデータ伝送能力を持ちながら、6ビットだけ使用する場合などに、符号化する際の演算方法を切り換え、実際に使用している6ビットのデータで、同時変化数を判定するものである。もとの8ビットで判定すると、使用していない2ビットがあるため、変化しない信号が多いと判定する場合があるが、実際に使用するデータで判定するため、データの同時変化を最適に減らすことができる。

【0030】実施の形態6によれば、複数のデータの状況に応じて、符号化する際の演算方法を切換えることで、実際に使用するデータで判定できるため、データの同時変化を最適に減らすことができ、信号線からの不要輻射や同時スイッチングによる電源、グランドからの放射をよりさらに低減することができる。

【0031】実施の形態7. 図9は、この発明の実施の形態7による液晶表示装置を示す概略構成図である。図9において、1～5、11は図1におけるものと同一のものであるが、図9では、データ符号化回路11を、タイミングコントローラ2内に設けている。液晶表示装置を制御するため、タイミングコントローラ2として、ASICなどのICチップを使用する場合が多い。このため、データ符号化回路11を、このタイミングコントローラ2に内蔵したのが、実施の形態7である。

【0032】実施の形態7によれば、データ符号化回路11をタイミングコントローラ2に内蔵したことにより、多くのデータがパラレル伝送される場合のデータの同時変化を安価で簡単に減らすことができ、信号線からの不要輻射や電源、グランドからの放射を安価で簡単に低減することができる。

【0033】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。画像データを符号化する符号化回路と、この符号化回路によって符号化された画像データを複数の信号線を介して伝送する制御回路と、この制御回路によって伝送される画像データを復号化すると共に、復号化された画像データに基づき駆動信号を出力する液晶駆動回路と、この液晶駆動回路の出力する駆動信号により画像を表示する表示部

を備えたので、伝送される画像データの同時変化を少なくすることができる。また、符号化回路は、画像データの第一の極性から第二の極性への同時変化が少なくなるように構成されたので、伝送される画像データの同時変化を少なくすることができる。

【0034】また、伝送される画像データは、所定時間毎にブロックに分割されると共に、分割されたブロック毎に同時変化が少なくなるように符号化されるので、ブロック毎に伝送される画像データの同時変化を少なくすることができる。さらに、伝送される画像データは、同一時点で過半数の画像データが同時変化しないように符号化されるので、同一時点での画像データの同時変化を少なくすることができる。

【0035】また、符号化回路は、複数に分割されると共に、分割された各符号化回路に対応して、画像データを伝送する信号線が分割されているので、効率よく同時変化数を削減することができる。また、符号化回路は、画像データの奇数列及び偶数列に対応するように分割されているので、奇数列及び偶数列毎に効率よく同時変化数を削減することができる。

【0036】さらにまた、符号化回路は、画像データのR、G、Bの各色に対応するように分割されているので、各色毎に効率よく同時変化数を削減することができる。また、液晶駆動回路の復号化する機能は、符号化回路に対応して分割されているので、効率よく復号化することができる。

【0037】また、符号化回路は、演算方法の異なる複数の符号化器を有し、複数の符号化器が切り替えて用いられるように構成されているので、画像データの状況に応じて符号化器を切り替えることができ、画像データの同時変化を最適に削減することができる。加えて、制御回路は、符号化回路と共に制御回路基板上に配置されるので、符号化回路を制御回路の近傍に配置することができる。

【0038】また、符号化回路は、制御回路を構成する半導体集積回路に内蔵されているので、画像データの同時変化を安価で簡単に減らすことができる。また、符号化回路は、外付けされているので、液晶表示装置内に配置する必要がない。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による液晶表示装置を示す概略構成図である。

【図2】 この発明の実施の形態1による液晶表示装置の液晶駆動回路を示す概略図である。

【図3】 この発明の実施の形態2による液晶表示装置の信号例を示す概略図である。

【図4】 この発明の実施の形態2による液晶表示装置の別の信号例を示す概略図である。

【図5】 この発明の実施の形態3による液晶表示装置のデータ符号化回路及び復号化回路を示す概略図であ

る。

【図6】 この発明の実施の形態4による液晶表示装置のデータ符号化回路及び復号化回路を示す概略図である。

【図7】 この発明の実施の形態5による液晶表示装置のデータ符号化回路及び復号化回路を示す概略図である。

【図8】 この発明の実施の形態6による液晶表示装置のデータ符号化回路を示す概略図である。

【図9】 この発明の実施の形態7による液晶表示装置を示す概略構成図である。

【図10】 従来の液晶表示装置を示す概略構成図であ

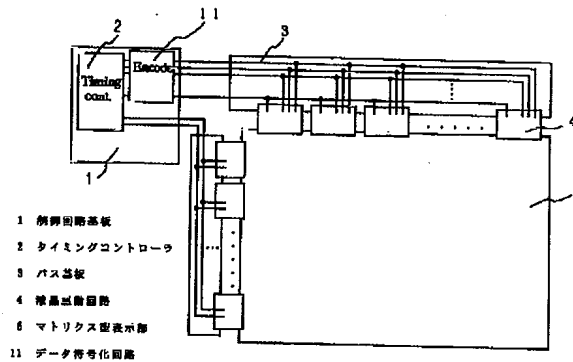
る。

【図11】 従来の液晶表示装置の液晶駆動回路を示す概略構成図である。

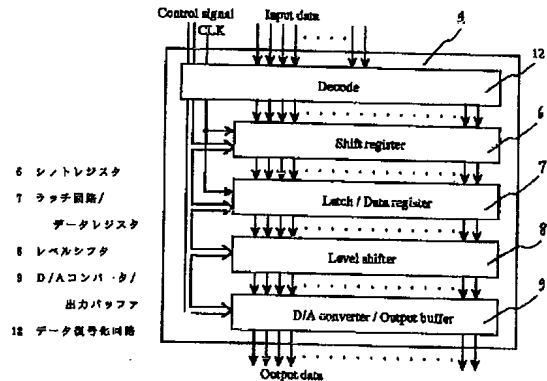
【符号の説明】

1 制御回路基板、2 タイミングコントローラ、3 バス基板、4 液晶駆動回路、5 マトリクス型表示部、6 シフトレジスタ、7 ラッチ回路/データレジスタ、8 レベルシフタ、9 D/Aコンバータ/出力バッファ、11 データ符号化回路、12 データ復号化回路、13、14 符号化器、15、16 セレクタ。

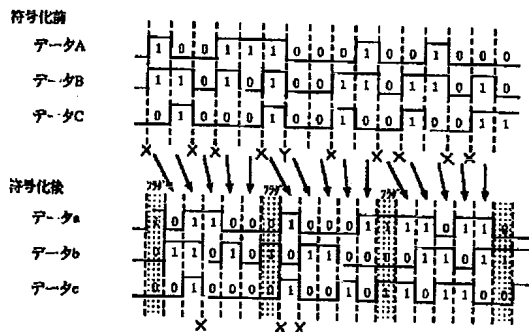
【図1】



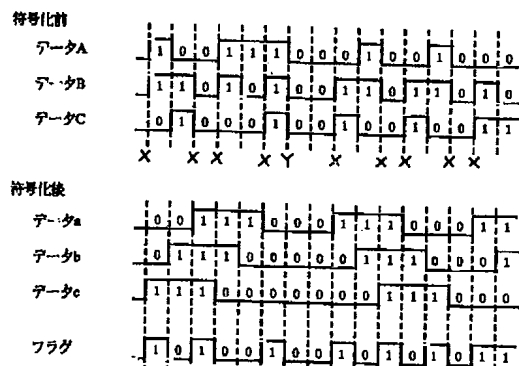
【図2】



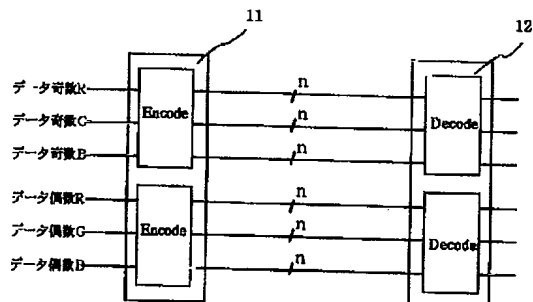
【図3】



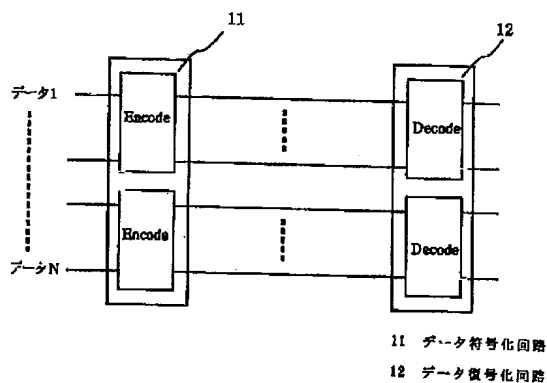
【図4】



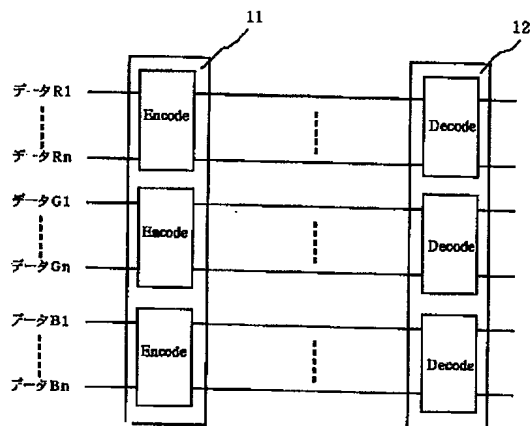
【図6】



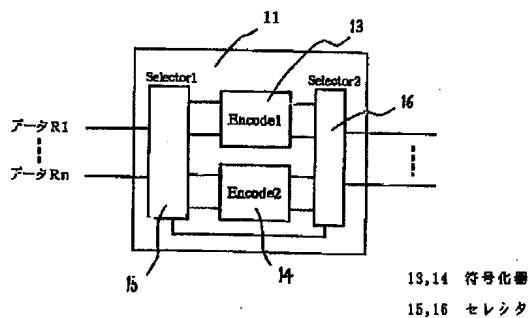
【图5】



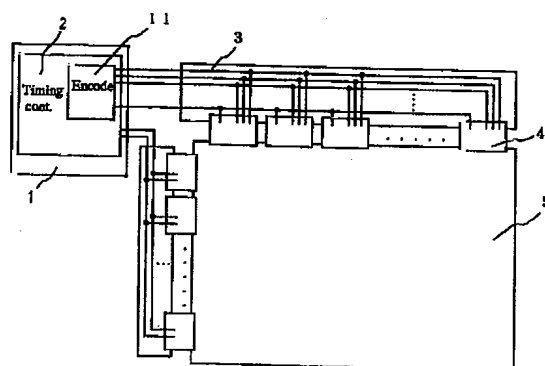
【図7】



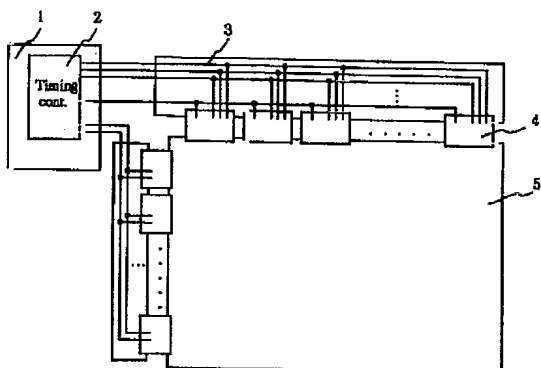
【図8】



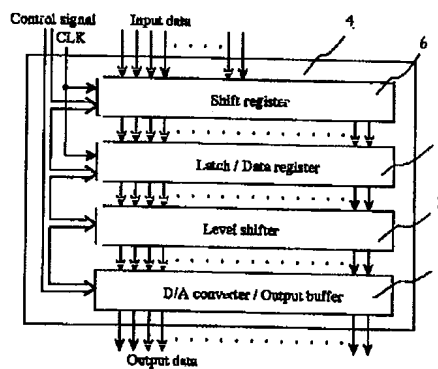
【图9】



【図10】



【☒ 1 1 】



フロントページの続き

Fターム(参考) 2H093 NA06 NC12 NC13 NC14 NC16
NC22 NC24 NC26 NC50 ND40
ND49
5C006 AA16 AA22 AC21 AF43 AF83
AF85 BB11 BC12 BC16 BF03
BF04 BF24 FA32
5C080 AA10 BB05 CC03 DD12 DD23
EE29 FF09 GG10 GG11 JJ02
JJ04